

ADIC101LP5

V0

产品简介

ADIC101LP5允许实现整数锁相环(PLL)频率合成器与外部环路滤波器、外部VCO和外部参考频率一起使用。可实现1 GHz到5.5 GHz的频率锁定。

ADIC101LP5同时内部集成一个1/2/4/8/16分频器, VCO经过该分频器, 可实现低至于62.5 MHz的频率输出, 同时该芯片可做单独的分频器使用。

对于需要隔离的应用程序, 可以将射频输出阶段设置静音。静音功能可以通过引脚和软件控制。控制所有的片上寄存器是通过一个简单的三线接口。

ADIC101LP5使用模拟和3.15 V到3.45 V的电源, 电荷泵电压范围0.5 V到3.2 V。当需要宽调谐范围控制时, 可以配合外部运算放大器使用。

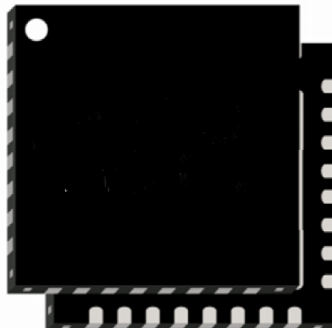
产品应用

- 无线基础设施 (LTE、W-CDMA、TD-SCDMA、WiMAX、GSM、PCS、DCS)
- 多点微波链路
- 卫星/虚拟航天飞机
- 测试设备
- 时钟产生

极限参数

存储温度	-55 °C ~ 150 °C
使用温度	-55 °C ~ 125 °C

封装外形



32 Pin 5×5 mm QFN

性能特点

- 射频输出频率范围: 1 GHz - 5.5 GHz
- 归一化噪底: -223 dBc/Hz
- 低工作电流: ≤100 mA
- 整数 N 分频频率综合器芯片
- PFD工作至 75 MHz
- 保持频率锁定超过-55 °C 到+125 °C
- 可编程的 1/2/4/8/16 分频输出
- 模拟和数字电源: 3.3 V
- 芯片尺寸: 1.1 mm x 2.2 mm
- 可提供塑封和裸片
- 国产替代ADF4150
- 分频器范围: 1 GHz - 4.2 GHz



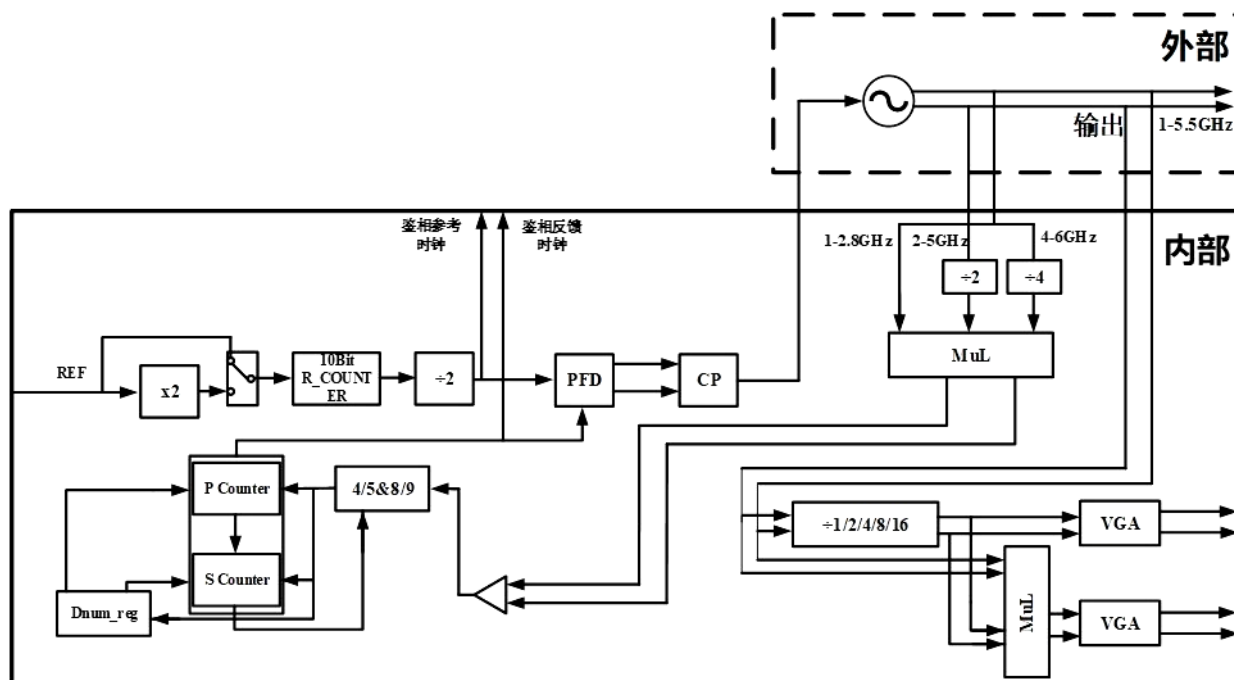
ADIC101LP5

V0

电性能表 (TA=+25℃, 数字/模拟/射频工作电压3.3 V, 电荷泵工作电压3.3 V)

参数	最小	典型	最大	单位
射频输入频率范围	1		5.5	GHz
射频输入功率范围	0	5	10	dBm
参考输入频率范围	5		75	MHz
参考输入功率范围 (当参考输入频率低于20 MHz, 建议方波输入, 否则会引起噪声恶化)	0	5	10	dBm
参考分频比范围	2		1024	
鉴相频率范围			75	MHz
电荷泵输出电流范围	0.31		5	mA
电荷泵输出电压范围	0.5		3.2	V
电荷泵充放电精度			2%	
数字/模拟/射频工作电压		3.3		V
电荷泵工作电压		3.3		V
工作电流 (静态电流, 只包含PLL部分)		80		mA
归一化噪声基底		-223		dBc/Hz
杂散抑制		80		dBc

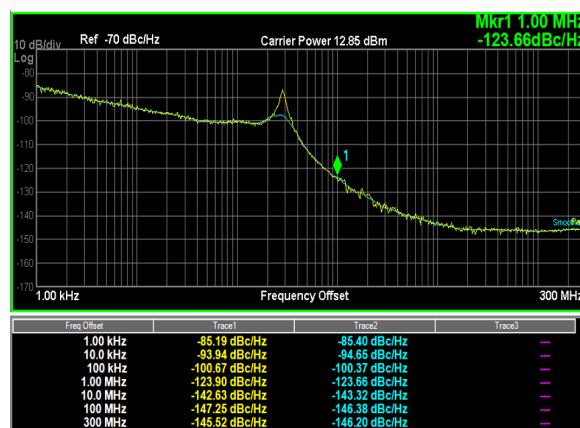
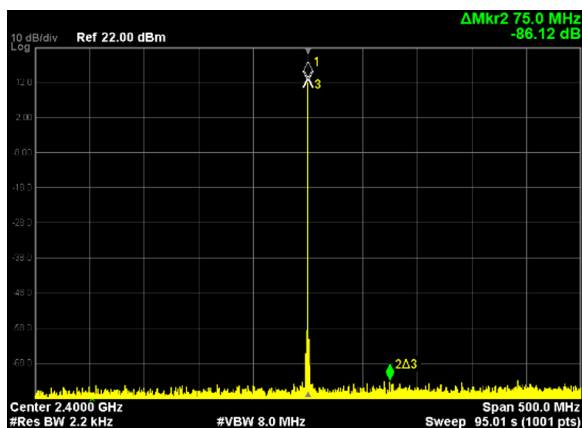
简化原理框图



典型工作特性

典型锁定曲线

(2.4GHz, 鉴相频率75MHz, 环路带宽250kHz, 鉴相杂散以及相位噪声曲线) @25℃测试



注释:

1. 所使用VCO频率范围2.4-5GHz, 调谐电压0-18V, 采用有源环路滤波器(运算放大器德州仪器OPA211), 随着放大倍数的增大, 运放引入的噪声也会增大, 会对带内噪声造成恶化。
2. 远端相位噪声受限于仪器底噪

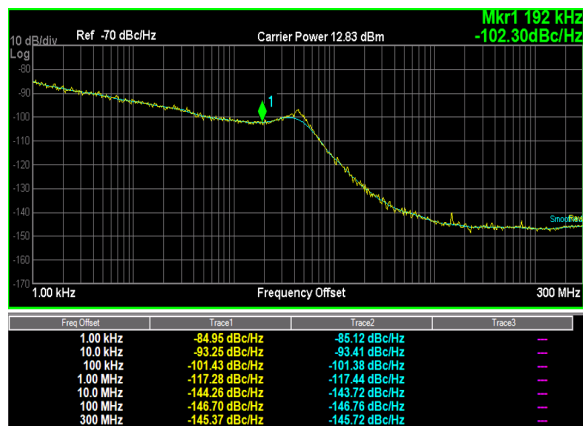
ADIC101LP5

V0

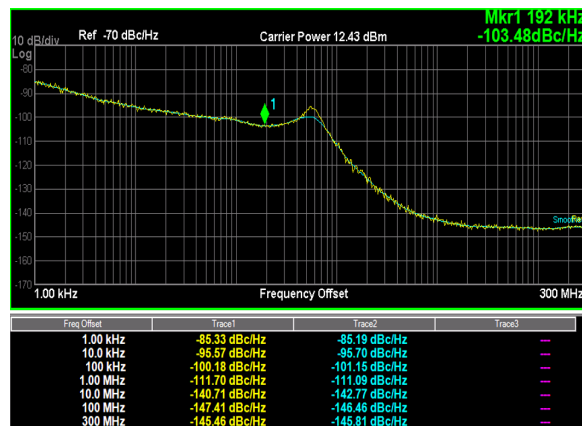
典型工作特性

典型锁定曲线 (2.7GHz, 鉴相频率75MHz, 环路带宽250kHz, 相位噪声曲线)

-55°C测试

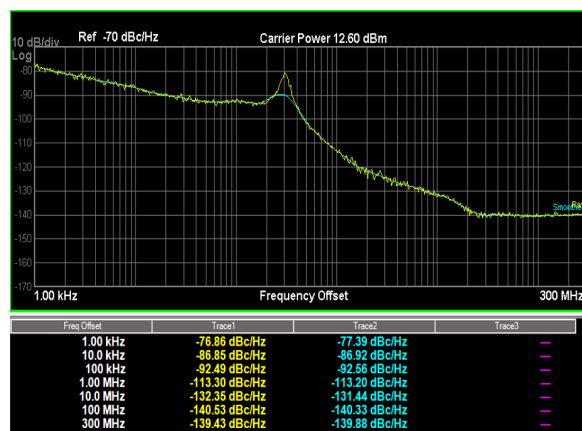
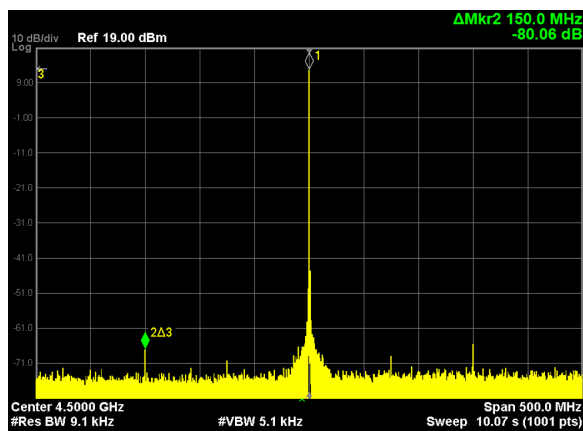


+125°C测试

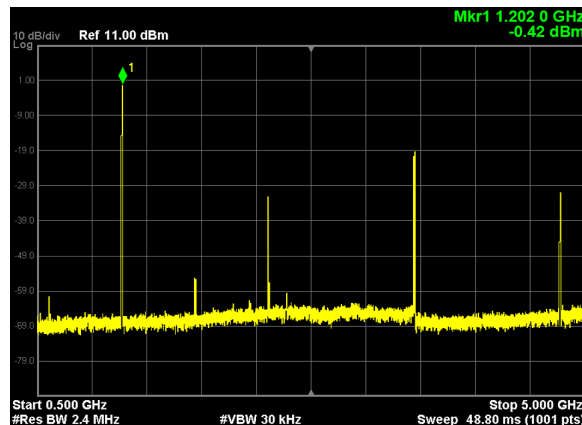
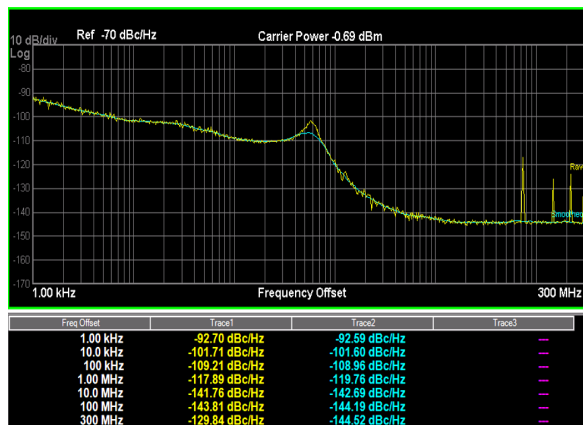


典型锁定曲线

(4.5GHz, 鉴相频率75MHz, 环路带宽250kHz, 鉴相杂散以及相位噪声曲线) @25°C测试



VCO锁定2.4GHz, 分频器设置2分频, 相位噪声曲线及谐波频谱图

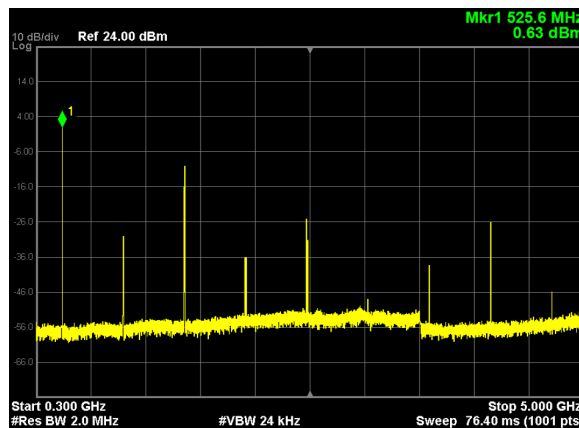
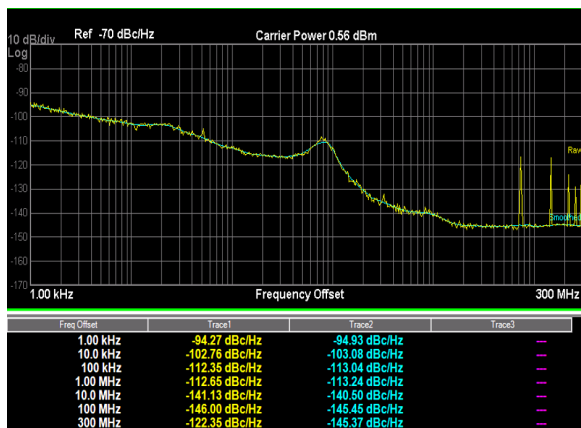


ADIC101LP5

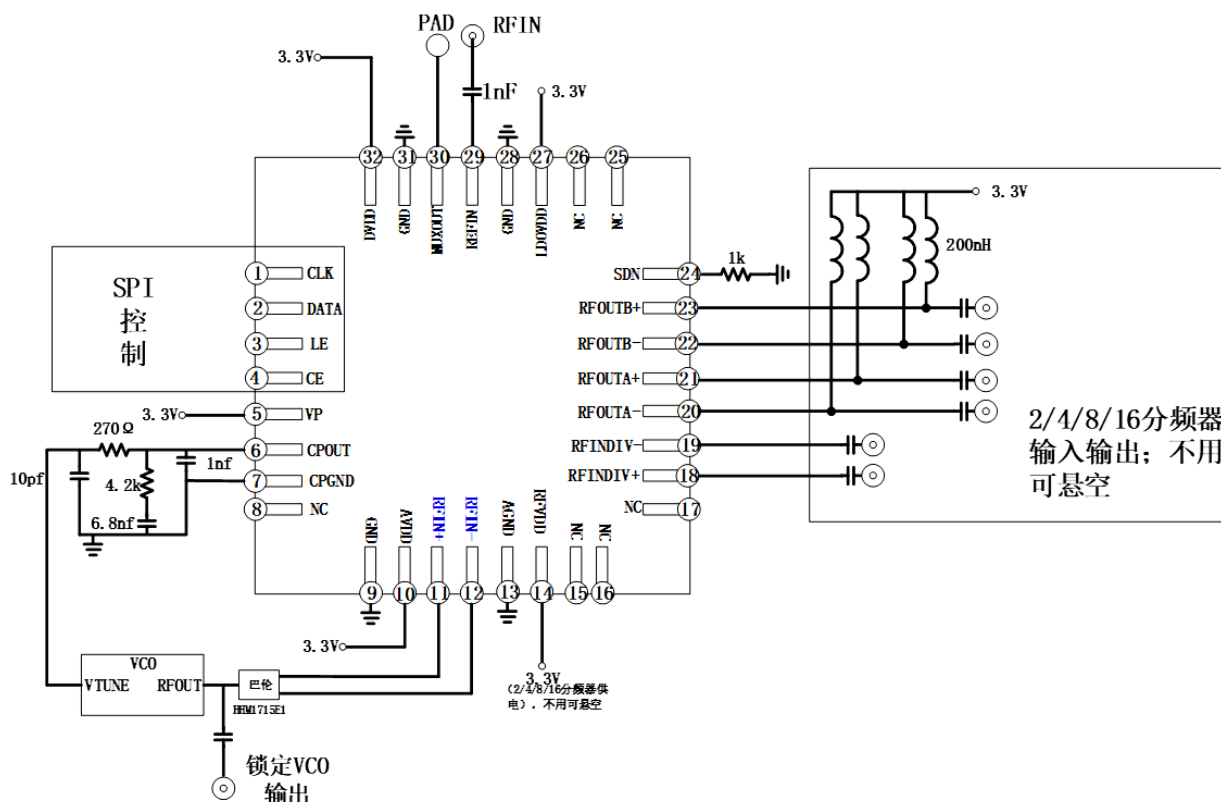
V0

典型工作特性

VCO锁定4.2 GHz, 分频器设置8分频, 相位噪声曲线及谐波频谱图



引脚定义



引脚功能描述

分频器引脚参数	定义
RFVDD	1/2/4/8/16分频器供电。范围为3.0 V至3.6 V。
RFINDIV-/RFINDIV+	分频器差分输入
RFOUTA+/RFOUTA- /RFOUTB+/RFOUTB-	分频器差分输出，包含两路差分。
CLK	串行时钟输入。数据在CLK上升沿时逐个输入32位移位寄存器，此输入为高阻抗CMOS输入。
DATA	串行数据输入。串行数据以MSB优先方式加载，三个LSB用作控制位。此输入为高阻抗CMOS输入。
LE	加载使能，CMOS输入。 当LE变为高电平时，存储在移位寄存器中的数据载入三个LSB所选择的寄存器。
CE	芯片使能。此引脚的逻辑低电平将关断器件，并使电荷泵进入三态模式。 根据关断位的状态不同，此引脚逻辑高电平将使器件上电。
VP	电荷泵电源，供电3.3 V。至地层的去耦电容应尽可能靠近此引脚。
CPOUT	电荷泵输出。使能时，此引脚向外部环路滤波器提供 $\pm ICP$ 。 环路滤波器的输出连到VTUNE，以驱动外部VCO。
AVDD	模拟电源。范围为3.0 V至3.6 V。至模拟地层的去耦电容应尽可能靠近此引脚。
RFIN-/RFIN+	VCO输入信号
DVDD/LDOVDD	数字电源。范围为3.0 V至3.6 V。
REFIN	参考输入信号
MUXOUT	多路复用器输出。此多路复用器输允许从外部访问锁定检测、经过缩放的RF或基准频率。

注释：

VCO可选择单端或者差分输入，单端输入时，12引脚接入射频信号，11引脚接入100pf电容到GND。
单端支持最高输入频率4.5GHz（输入功率大于5dBm）。

ADIC101LP5

V0

寄存器说明

寄存器0

保留	16-BIT整数分频控制<0:15>																保留																地址位		
DB 28	DB 27	DB 26	DB 25	DB 24	DB 23	DB 22	DB 21	DB 20	DB 19	DB 18	DB 17	DB 16	DB 15	DB 14	DB 13	DB 12	DB 11	DB 10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	0	0	0				

寄存器1

保留				保留																保留								地址位			
DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	0	0	1

多模分频器控制:
 0:4/5
 1:8/9

寄存器2

保留			MUXOUT					10-BIT分频器（控制参考时钟）										保留	4-BIT电荷泵 电流控制				保留		保留				地址位		
DB 28	DB 27	DB 26	DB 25	DB 24	DB 23	DB 22	DB 21	DB 20	DB 19	DB 18	DB 17	DB 16	DB 15	DB 14	DB 13	DB 12	DB 11	DB 10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	0	1	0

001: 反馈时钟
 110: 参考时钟

参考二分频控制
 0: 失效
 1: 使能

参考二倍频控制
 0: 失效
 1: 使能

PD_极性控制

寄存器3

保留																										地址位					
DB 28	DB 27	DB 26	DB 25	DB 24	DB 23	DB 22	DB 21	DB 20	DB 19	DB 18	DB 17	DB 16	DB 15	DB 14	DB 13	DB 12	DB 11	DB 10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	0	1	1

寄存器4

保留								射频输出 分频控制				8-BIT分频器（控制AFC子带选择精度）								保留				B路输出功 率控制				A路输出功 率控制				地址位		
DB 28	DB 27	DB 26	DB 25	DB 24	DB 23	DB 22	DB 21	DB 20	DB 19	DB 18	DB 17	DB 16	DB 15	DB 14	DB 13	DB 12	DB 11	DB 10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	1	0	0			

反馈回路选择:
 0: 分频
 1: 基频

B射频输出使能
 0: 失效
 1: 使能
 B射频输出选择
 0: 分频输出
 1: 基频输出
 A射频输出使能
 0: 失效
 1: 使能
 A射频输出选择
 00: -4
 01: -1
 10: +2
 11: +5

注释:

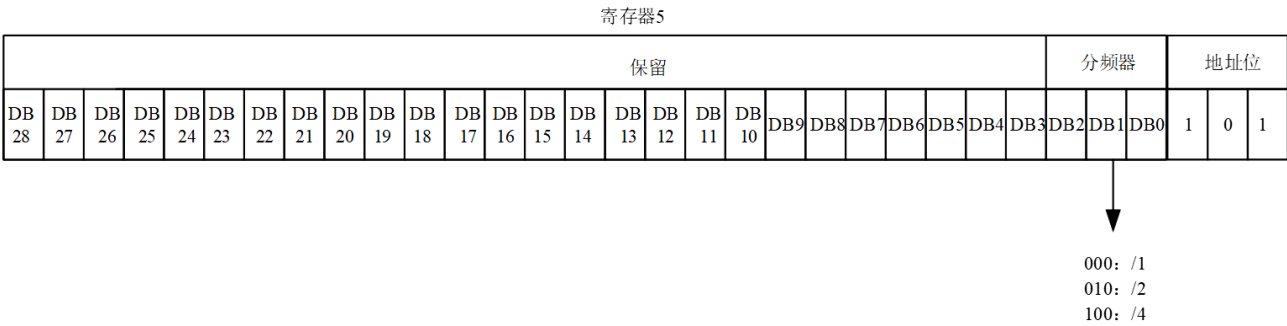
10bit分频器可以对参考进行2-1024的分频, 灵活选取鉴相频率。寄存器2中DB11-DB20最小取值为0000000010。

电荷泵控制寄存器2中DB6-DB9全部为0时, 电流输出为0.35 mA。

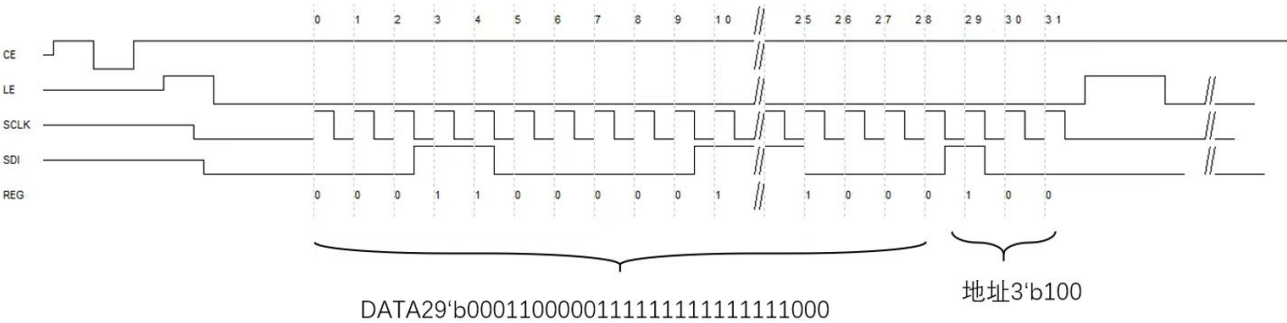
ADIC101LP5

V0

寄存器说明



时序配置说明



- (1) 每组寄存器共计 32 位, 包括 a<2:0> 3 位地址位, d<28:0> 29 位数据位;
- (2) SCLK 上升沿, 读取 DATA 数据;
- (3) 每个寄存器写入完毕后, LE拉高再拉低进行下个寄存器写入;
- (4) CE拉低再拉高, 进入写入操作。

外形尺寸

